

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
010456080

WPI Acc No: 1995-357399/199546

XRAM Acc No: C95-156420

XRPX Acc No: N95-265533

Device and process of semiconductor transistor - with thin film of high flexibility

Patent Assignee: SHARP KK (SHAF)

Inventor: MAKITA N; YAMAMOTO Y

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
TW 255988	A	19950901	TW 95102422	A	19950314	199546 B
JP 7283135	A	19951027	JP 9477699	A	19940415	199601
US 5619044	A	19970408	US 95421910	A	19950414	199720
CN 1120240	A	19960410	CN 95103967	A	19950414	199744
<u>US 5837569</u>	A	19981117	US 95421910	A	19950414	199902
			US 96777029	A	19961230	
KR 193144	B1	19990701	KR 959162	A	19950415	200063

Priority Applications (No Type Date): JP 9477699 A 19940415

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
TW 255988	A	15	H01L-027/01	
JP 7283135	A	16	H01L-021/20	
<u>US 5619044</u>	A	27	H01L-029/04	
CN 1120240	A		H01L-021/00	
US 5837569	A		H01L-021/84	Div ex application US 95421910 Div ex patent US 5619044
KR 193144	B1		H01L-029/786	

Abstract (Basic): TW 255988 A

A semiconductor device is fabricated by forming active region made of crystalline Si film on insulating surface of substrate, in which the active region aids crystalline catalyst element into the first amorphous Si film. The pin-type crystal of pillar-type crystal grown by heating as seed crystal to make the second amorphous Si film crystal grow.

USE - Used in the formation of semiconductor transistors.

ADVANTAGE - Film is thin and flexible.

Dwg.0/15

Title Terms: DEVICE; PROCESS; SEMICONDUCTOR; TRANSISTOR; THIN; FILM; HIGH; FLEXIBLE

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/00; H01L-021/20; H01L-021/84;

H01L-027/01; H01L-029/04; H01L-029/786

International Patent Class (Additional): G02F-001/136; H01L-021/336;

H01L-031/036

File Segment: CPI; EPI

Pub after f.d.

supplied

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04990535 **Image available**

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: **07-283135** [JP 7283135 A]

PUBLISHED: October 27, 1995 (19951027)

INVENTOR(s): MAKITA NAOKI
 YAMAMOTO YOSHITAKA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 06-077699 [JP 9477699]

FILED: April 15, 1994 (19940415)

INTL CLASS: [6] H01L-021/20; G02F-001/136; H01L-029/786; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
 INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
 MATERIALS -- Metal Oxide Semiconductors, MOS); R100
 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To form a crystalline silicon film having high mobility by a method wherein, using the needle-like or pole-like crystal grown on the first amorphous silicon film by introducing and heating a crystallization promoting catalytic element as a seed crystal, the second amorphous silicon film is crystal-grown.

CONSTITUTION: Ni-ions of aqueous solution 106 are brought into contact with the part of amorphous silicon 103 on which a catalytic element injection window 105 is formed. They are crystallized by annealing. This crystalline silicon film 103b is composed of needle-like crystal or pole-like crystal. An insulative thin film 108 and the crystalline thin film 103b are partially removed by etching. Then, the second amorphous silicon film 110 is formed, and the film 110 is irradiated with a laser beam 11. The second amorphous silicon film 110 becomes a crystalline silicon film 110 by crystallization using the needle-like crystal or the columnar crystal 109 as seed crystals.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283135

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20				
G 0 2 F 1/136	5 0 0			
H 0 1 L 29/786				
21/336				

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数12 O L (全 16 頁)

(21) 出願番号 特願平6-77699

(22) 出願日 平成6年(1994)4月15日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 山元 良高

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 高移動度薄膜トランジスタを有する半導体装置およびその製造方法を提供する。

【構成】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成されている。この活性領域は、第1の非晶質ケイ素膜に結晶化を助長する触媒元素を導入して加熱することにより結晶成長させた針状結晶または柱状結晶を種結晶として、第2の非晶質ケイ素膜を結晶成長させた結晶性ケイ素膜からなり、単結晶に非常に近い結晶性を有する。

【特許請求の範囲】

【請求項 1】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置であって、

該活性領域は、第 1 の非晶質ケイ素膜に結晶化を助長する触媒元素を導入して加熱することにより結晶成長させた針状結晶または柱状結晶を種結晶として、第 2 の非晶質ケイ素膜を結晶成長させたものからなる半導体装置。

【請求項 2】 前記種結晶となる針状結晶または柱状結晶の膜厚が 1-0-0 nm 以下である請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 の非晶質ケイ素膜が、レーザー光照射または強光の照射により結晶成長されたものである請求項 1 に記載の半導体装置。

【請求項 4】 前記触媒元素が、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As および Sb から選択される一種または複数種類の元素である請求項 1 に記載の半導体装置。

【請求項 5】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、

基板上に第 1 の非晶質ケイ素膜を形成する工程と、

該第 1 の非晶質ケイ素膜を形成する工程の前または後において、該第 1 の非晶質ケイ素膜の結晶化を助長する触媒元素を、該第 1 の非晶質ケイ素膜の一部に選択的に導入する工程と、

該第 1 の非晶質ケイ素膜を加熱により結晶化させ、該触媒元素が選択的に導入された領域の周辺部においては基板表面に対して概略平行な方向に結晶成長を行わせる工程と、

該基板表面に対して概略平行な方向に結晶成長された領域の結晶性ケイ素膜上に絶縁性薄膜を形成し、該絶縁性薄膜および該結晶性ケイ素膜を、該結晶性ケイ素膜の結晶成長方向に沿った線状の境界を持つよう部分的に除去する工程と、

該結晶性ケイ素膜の上に第 2 の非晶質ケイ素膜を形成する工程と、

該第 2 の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により結晶成長させる工程と、

を含む半導体装置の製造方法。

【請求項 6】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、

基板上に第 1 の非晶質ケイ素膜を形成する工程と、

該第 1 の非晶質ケイ素膜を形成する工程の前または後において、該第 1 の非晶質ケイ素膜の結晶化を助長する触媒元素を、該第 1 の非晶質ケイ素膜の一部に選択的に導入する工程と、

該第 1 の非晶質ケイ素膜を加熱により結晶化させ、該触媒元素が選択的に導入された領域の周辺部においては基

板表面に対して概略平行な方向に結晶成長を行わせる工程と、

該基板表面に対して概略平行な方向に結晶成長された領域の結晶性ケイ素膜を、該結晶性ケイ素膜の結晶成長方向に沿った線状に形成する工程と、

該結晶性ケイ素膜の上に第 2 の非晶質ケイ素膜を形成する工程と、

該第 2 の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により結晶成長させる工程と、

を含む半導体装置の製造方法。

【請求項 7】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、

基板上に第 1 の非晶質ケイ素膜を形成する工程と、

該第 1 の非晶質ケイ素膜を形成する工程の前または後において、該第 1 の非晶質ケイ素膜の結晶化を助長する触媒元素を、該第 1 の非晶質ケイ素膜の一部に選択的に導入する工程と、

該第 1 の非晶質ケイ素膜を加熱により結晶化させ、該触媒元素が選択的に導入された領域の周辺部においては基板表面に対して概略平行な方向に結晶成長を行わせる工程と、

該基板表面に対して概略平行な方向に結晶成長された領域の結晶性ケイ素膜上に絶縁性薄膜を形成し、該絶縁性薄膜を該結晶性ケイ素膜の結晶成長方向に沿った線状に除去する工程と、

該結晶性ケイ素膜の上に第 2 の非晶質ケイ素膜を形成する工程と、

該第 2 の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により結晶成長させる工程と、

を含む半導体装置の製造方法。

【請求項 8】 絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、

基板上に第 1 の非晶質ケイ素膜を形成する工程と、

該第 1 の非晶質ケイ素膜を線状に形成する工程と、

該第 1 の非晶質ケイ素膜を形成する工程の前または後において、該第 1 の非晶質ケイ素膜の結晶化を助長する触媒元素を、線状に形成された第 1 の非晶質ケイ素膜の一部に選択的に導入する工程と、

該第 1 の非晶質ケイ素膜を加熱により結晶化させ、該触媒元素が選択的に導入された領域から、該第 1 の非晶質ケイ素膜の線状パターンの方

向に沿って基板表面に対して概略平行な方向に結晶成長を行わせる工程と、

該基板表面に対して概略平行な方向に結晶成長された結晶性ケイ素膜の上に第 2 の非晶質ケイ素膜を形成する工程と、

該第 2 の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により結晶成長させる工程と、

を含む半導体装置の製造方法。

【請求項 9】 前記第 1 の非晶質ケイ素膜を膜厚 100 nm 以下に形成する請求項 5、6、7 または 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第 1 の非晶質ケイ素膜を結晶化してなる線状の結晶性ケイ素の線幅を 200 nm 以下に形成する請求項 6 または 8 に記載の半導体装置。

【請求項 11】 前記絶縁性薄膜を線状に除去する際の線幅を 200 nm 以下にする請求項 7 に記載の半導体装置の製造方法。

【請求項 12】 前記触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As および Sb から選択される一種または複数種類の元素を用いる請求項 5、6、7 または 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、絶縁性基板上に、または基板上に形成した絶縁膜上に、TFT（薄膜トランジスタ）の活性領域が形成された半導体装置およびその製造方法に関し、特にアクティブマトリクス型液晶表示装置等に利用できる半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 ガラス等の絶縁性基板上に TFT を有する半導体装置としては、これらの TFT を画素の駆動に用いるアクティブマトリクス型液晶表示装置やイメージセンサー等が知られている。これらの装置に用いられる TFT の活性領域には、薄膜状のケイ素半導体を用いるのが一般的であり、この薄膜状のケイ素半導体は、非晶質ケイ素（a-Si）半導体からなるものと結晶性を有するケイ素半導体からなるものの 2 つに大別される。

【0003】 前者の非晶質ケイ素半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられている。しかし、非晶質ケイ素半導体では、導電性等の物性が結晶性を有するケイ素半導体に比べて劣るので、今後、より高速特性を得るために、結晶性を有するケイ素半導体からなる TFT の作製方法の確立が強く求められていた。なお、後者の結晶性を有するケイ素半導体としては、多結晶性ケイ素、微結晶性ケイ素、結晶成分を含む非晶質ケイ素、結晶性と非結晶性の中間の状態を有するセミアモルファスケイ素等が知られている。

【0004】 上述した結晶性を有する薄膜状のケイ素半導体を得る方法としては以下の 3 つが知られている。

【0005】 (1) 成膜時に結晶性を有するケイ素半導体膜を直接成膜する方法

(2) 非晶質のケイ素半導体膜を成膜しておき、レーザー光のエネルギーにより結晶性を有せしめる方法

(3) 非晶質のケイ素半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる方法

しかし、これらの方法には以下のような問題点がある。

【0006】 (1) の方法による場合には、成膜工程と結晶化とが同時に進行する。よって、大粒径の結晶性ケイ素を得るためにはケイ素膜を厚膜にすることが不可欠であり、良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することが技術上困難である。また、成膜温度が 600℃ 以上と高いので、安価なガラス基板が使用できないというコスト上の問題があった。

【0007】 (2) の方法による場合は、熔融固化過程の結晶化現象を利用するので、小粒径ながら粒界が良好に処理され、高品質な結晶性ケイ素膜が得られる。しかし、現在最も一般的に使用されているエキシマレーザーを例にとると、レーザー光の照射面積が小さいため、スループットが低いという問題があり、また大面積基板の全面を均一に処理するにはレーザーの安定性が充分ではない。よって、次世代の技術という感が強い。

【0008】 (3) の方法による場合は、上記 (1) および (2) の方法と比較すると大面積に対応できるという利点はあるが、結晶化に際して 600℃ 以上の高温で数十時間にわたる加熱処理を必要とする。従って、安価なガラス基板の使用とスループットの向上を考えると、加熱温度を下げると共に短時間で結晶化させるという相反する問題を同時に解決する必要がある。また、この方法は固相結晶化現象を利用するので、結晶粒が基板面に平行に拡がって数 μm の粒径を持つものも現れ、成長した結晶粒同士がぶつかり合って粒界が形成されるため、その粒界はキャリアに対するトラップ準位として働くので、TFT の移動度を低下させる大きな原因となっている。

【0009】 そこで、このような様々な問題点を解決すべく、上記 (3) の方法において結晶化に必要な温度の低温化と処理時間の短縮を両立させ、さらには粒界の影響を最小限に抑えた結晶性ケイ素薄膜の作製方法が提案されている（特願平 5-218156）。

【0010】 この提案方法では、結晶成長の核としてニッケルやパラジウム、さらには鉛等の不純物元素の極微量（ $1 \times 10^{18} \text{ cm}^{-3}$ 程度）を非晶質ケイ素膜に導入することにより、結晶化初期の核生成速度とその後の核成長速度とが飛躍的に向上され、従来考えられなかった 580℃ 以下の温度において 4 時間程度の時間で十分な結晶性が得られる。この成長メカニズムは、まず不純物元素を核とした結晶核発生が早期に起こり、その後、その不純物元素が触媒となって結晶成長を助長し、結晶化が急激に進行するものと理解される。そういう意味から、以後、これらの不純物元素を触媒元素と称する。

【0011】 この方法によれば、基板の一部に上記触媒元素を選択的に導入することにより、レーザー結晶化と同様に、同一基板内に選択的に結晶性ケイ素膜と非晶質ケイ素膜とを形成することが可能となる。また、加熱処理をさらに継続させると、選択的に触媒元素が導入され

て結晶化している部分から、その周辺部の非晶質部分へ、横方向（基板面に平行な方向）に結晶成長部分が延びる。以後、この横方向結晶成長部分をラテラル成長部と称する。このラテラル成長部では、基板と平行に針状または柱状の結晶が成長方向に沿って延びており、その成長方向においては結晶粒界が存在しない。よって、このラテラル成長部を利用してTFTのチャネル部を形成すると、高性能なTFTが実現可能となる。

【0012】このラテラル成長部を利用したTFTの作製工程を、図14を参照しながら説明する。この図は、TFTを基板上面から見た場合の平面図である。

【0013】まず、基板全面に形成された非晶質ケイ素膜上に、二酸化ケイ素等の絶縁性薄膜からなるマスクを堆積する。そのマスクに触媒元素添加用の穴500を開けて、非晶質ケイ素膜に触媒元素を導入する。

【0014】次に、約550℃の温度で4時間程度の加熱処理を行う。すると、穴500の下触媒元素が添加された非晶質ケイ素膜領域（触媒元素添加領域）が結晶化し、それ以外の部分が非晶質ケイ素のままで残る。さらに8時間程度加熱処理を継続すると、触媒元素添加領域を中心として成長方向501に横方向結晶成長が拡がり、ラテラル成長部502が形成される。

【0015】その後、このラテラル成長部502を利用して、従来の方法に従ってTFTを作製する。この際、ラテラル成長部502に対してソース領域503、チャネル領域504およびドレイン領域505を、図14に示すような配置で設けると、キャリアが移動する方向と結晶成長方向501とが同一方向となる。よって、キャリアの移動方法に結晶粒界が存在しない高移動度TFTを実現することができる。

【0016】このようにして作製したTFTにおいては、Nチャネル型TFTで移動度80～100 cm²/Vs、Pチャネル型TFTで移動度60～80 cm²/Vsが得られている。このTFTを液晶表示装置に用いることにより、表示部、即ちアクティブマトリクス領域のスイッチング素子以外に、Xデコーダー／ドライバやYデコーダー／ドライバ等の周辺駆動回路を同一基板上に同工程で作製することができる。

【0017】

【発明が解決しようとする課題】図15に、ディスプレイからCPU、メモリーまでを含めた液晶表示装置の電気光学システムのブロック図を示す。この図において、一点鎖線内に示す領域が、上述の特願平5-218156の技術を用いることによりガラスなどの1枚の基板上に上記表示部を作製できる領域である。さらに、製品の低コスト化、モジュールのコンパクト化、実装工程の簡略化を図るためには、より高度な集積化を実現する必要があるが、図15に示すように電気光学システム全てを1枚の基板上に構成させるのが好ましい。

【0018】しかし、CPUを構成する半導体素子は、

周辺駆動回路を構成する半導体素子に比べて、さらなる高速動作を必要とする。よって、上述の特願平5-218156の技術ではTFTの移動度が不十分であり、アクティブマトリクス領域が形成されたアクティブマトリクス基板上にCPUを形成することはできない。このため、現在は、単結晶シリコン基板を用いて形成されたICチップをアクティブマトリクス基板に実装して対応している。

【0019】なお、ガラス等の透明絶縁性基板上に単結晶シリコンに匹敵する程の高移動度を有する結晶性ケイ素膜を作製することができれば、アクティブマトリクス領域を駆動する周辺駆動回路の性能を格段に向上できるだけでなく、1枚の基板上に、ディスプレイからCPU、メモリーまでを含めた液晶表示装置を形成し、さらにイメージセンサー、タッチオペレーション等の機能を付加することも可能となる。

【0020】本発明は、このような従来技術の課題を解決すべくなされたものであり、基板上に単結晶に匹敵する程の高移動度を有する結晶性ケイ素膜が形成された半導体装置およびその製造方法を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明の半導体装置は、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置であって、該活性領域は、第1の非晶質ケイ素膜に結晶化を助長する触媒元素を導入して加熱することにより結晶成長させた針状結晶または柱状結晶を種結晶として、第2の非晶質ケイ素膜を結晶成長させたものからなり、そのことにより上記目的が達成される。

【0022】上記種結晶となる針状結晶または柱状結晶の膜厚は、100 nm以下であるのが好ましい。

【0023】上記第2の非晶質ケイ素膜は、レーザー光照射または強光の照射により結晶成長されたものであってもよい。

【0024】上記触媒元素は、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、AsおよびSbから選択される一種または複数種類の元素とすることができる。

【0025】本発明の半導体装置の製造方法は、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、基板上に第1の非晶質ケイ素膜を形成する工程と、該第1の非晶質ケイ素膜を形成する工程の前または後において、該第1の非晶質ケイ素膜の結晶化を助長する触媒元素を、該第1の非晶質ケイ素膜の一部に選択的に導入する工程と、該第1の非晶質ケイ素膜を加熱により結晶化させ、該触媒元素が選択的に導入された領域の周辺部においては基板表面に対して概略平行な方向に結晶成長を行わせる工程と、該基板表面に対して概略平行な方

向に結晶成長された領域の結晶性ケイ素膜上に絶縁性薄膜を形成し、該絶縁性薄膜および該結晶性ケイ素膜を、該結晶性ケイ素膜の結晶成長方向に沿った線状の境界を持つよう部分的に除去する工程と、該結晶性ケイ素膜の上に第2の非晶質ケイ素膜を形成する工程と、該第2の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により結晶成長させる工程とを含み、そのことにより上記目的が達成される。

【0026】本発明の半導体装置の製造方法は、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、基板上に第1の非晶質ケイ素膜を形成する工程と、該第1の非晶質ケイ素膜を形成する工程の前または後において、該第1の非晶質ケイ素膜の結晶化を助長する触媒元素を、該第1の非晶質ケイ素膜の一部に選択的に導入する工程と、該第1の非晶質ケイ素膜を加熱により結晶化させ、該触媒元素が選択的に導入された領域の周辺部においては基板表面に対して概略平行な方向に結晶成長を行わせる工程と、該基板表面に対して概略平行な方向に結晶成長された領域の結晶性ケイ素膜を、該結晶性ケイ素膜の結晶成長方向に沿った線状に形成する工程と、該結晶性ケイ素膜の上に第2の非晶質ケイ素膜を形成する工程と、該第2の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により結晶成長させる工程とを含み、そのことにより上記目的が達成される。

【0027】本発明の半導体装置の製造方法は、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、基板上に第1の非晶質ケイ素膜を形成する工程と、該第1の非晶質ケイ素膜を形成する工程の前または後において、該第1の非晶質ケイ素膜の結晶化を助長する触媒元素を、該第1の非晶質ケイ素膜の一部に選択的に導入する工程と、該第1の非晶質ケイ素膜を加熱により結晶化させ、該触媒元素が選択的に導入された領域の周辺部においては基板表面に対して概略平行な方向に結晶成長を行わせる工程と、該基板表面に対して概略平行な方向に結晶成長された領域の結晶性ケイ素膜上に絶縁性薄膜を形成し、該絶縁性薄膜を該結晶性ケイ素膜の結晶成長方向に沿った線状に除去する工程と、該結晶性ケイ素膜の上に第2の非晶質ケイ素膜を形成する工程と、該第2の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により結晶成長させる工程とを含み、そのことにより上記目的が達成される。

【0028】本発明の半導体装置の製造方法は、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置の製造方法であって、基板上に第1の非晶質ケイ素膜を形成する工程と、該第1の非晶質ケイ素膜を線状に形成する工程と、該第1の非晶質ケイ素膜を形成する工程の前または後において、該第1の非晶質ケイ素膜の結晶化を助長する触媒元

素を、線状に形成された第1の非晶質ケイ素膜の一部に選択的に導入する工程と、該第1の非晶質ケイ素膜を加熱により結晶化させ、該触媒元素が選択的に導入された領域から、該第1の非晶質ケイ素膜の線状パターンの方向に沿って基板表面に対して概略平行な方向に結晶成長を行わせる工程と、該基板表面に対して概略平行な方向に結晶成長された結晶性ケイ素膜の上に第2の非晶質ケイ素膜を形成する工程と、該第2の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により結晶成長させる工程とを含み、そのことにより上記目的が達成される。

【0029】上記第1の非晶質ケイ素膜を膜厚100nm以下に形成するのが好ましい。

【0030】上記第1の非晶質ケイ素膜を結晶化してなる線状の結晶性ケイ素の線幅を200nm以下に形成するのが好ましい。

【0031】上記絶縁性薄膜を線状に除去する際の線幅を200nm以下にするのが好ましい。

【0032】上記触媒元素としては、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、AsおよびSbから選択される一種または複数種類の元素を用いることができる。

【0033】

【作用】絶縁性表面を有する基板上に形成された非晶質ケイ素膜に触媒元素を導入して加熱することにより、触媒元素を核とした針状結晶または柱状結晶状態で結晶成長が行われる。ここで、絶縁性表面を有する基板とは、ガラスなどの絶縁性基板のみならず、絶縁性の有無に拘らず表面が絶縁性膜で覆われた基板を含む。上記針状結晶または柱状結晶の1本ずつは、それぞれ良好な単結晶であり、これらを種結晶として非晶質ケイ素膜を結晶成長させると、単結晶に限りなく近い良好な結晶性ケイ素膜を得ることができる。このように良好な結晶性を有する結晶性ケイ素膜を活性領域として半導体装置を作製することにより、従来では得られなかった高移動度素子をガラスなどの絶縁性表面を有する基板上に作製することができる。

【0034】上記針状結晶または柱状結晶は、その成長方向を軸として結晶方位が成長と共に回転しており、針状結晶および柱状結晶一本の幅は100nm程度である。出発膜（非晶質ケイ素膜）の膜厚が100nm以下の場合には、結晶方位の回転が抑制されて一本の結晶の幅が広がるので、さらに良好な結晶性を示す。よって、第1の非晶質膜の膜厚は、100nm以下であるのが好ましい。本発明者らの実験によると、出発非晶質ケイ素膜の膜厚を50nmとすれば、一本の針状結晶または柱状結晶の膜厚も50nmとなるので、針状結晶または柱状結晶の幅が150～200nmに広がることが確認されている。

【0035】上記針状結晶または柱状結晶を種結晶とし

て非晶質ケイ素膜を結晶化させる場合、熱加熱による処理でも同様の効果が得られるが、レーザー光または強光を照射して加熱することにより、種結晶の結晶性をそのまま反映した良好な結晶性ケイ素膜を得ることができる。

【0036】上記触媒元素としては、Niを用いた場合に最も顕著な効果を得ることができるが、その他、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、AsおよびSbを用いることができる。これらの触媒元素から選択される一種または複数種類の元素であれば、微量（ $1 \times 10^{18} \text{ cm}^{-3}$ 程度）でも結晶化助長の効果を有するので、半導体素子に悪影響を及ぼすおそれがない。

【0037】このような半導体装置の製造において、第1の方法では、第1の非晶質ケイ素膜の結晶化を助長する触媒元素を選択的に導入して、第1の非晶質ケイ素膜を加熱により結晶化させると、触媒元素が選択的に導入された領域の周辺部においては基板表面に対して概略平行な方向に結晶成長が行われて、針状結晶または柱状結晶が得られる。この針状結晶または柱状結晶上に絶縁性薄膜を形成し、絶縁性薄膜および結晶性ケイ素膜を結晶性ケイ素膜の結晶成長方向に沿った線状の境界を持つよう部分的に除去して、その上に第2の非晶質ケイ素膜を形成する。その後、第2の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により結晶成長させると、針状結晶または柱状結晶を種結晶とした結晶成長が起こり、単結晶に限りなく近い良好な結晶性ケイ素膜を得ることができる。

【0038】第2の方法では、上記基板表面に対して概略平行な方向に結晶成長された針状結晶または柱状結晶を結晶成長方向に沿った線状に形成し、その上に第2の非晶質ケイ素膜を形成する。その後、第2の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により、針状結晶または柱状結晶を種結晶として結晶成長させる。上記線状の結晶性ケイ素の線幅は、種結晶となる針状結晶または柱状結晶の幅と同程度以下、具体的には200nm以下に形成するのが好ましい。

【0039】第3の方法では、上記針状結晶または柱状結晶上に形成された絶縁性薄膜を、結晶性ケイ素膜の結晶成長方向に沿った線状に除去し、その上に第2の非晶質ケイ素膜を形成する。その後、第2の非晶質ケイ素膜を、熱加熱、レーザー光照射または強光の照射により、針状結晶または柱状結晶を種結晶として結晶成長させる。上記絶縁性薄膜を線状に除去する際の線幅は、種結晶となる針状結晶または柱状結晶の幅と同程度以下、具体的には200nm以下に形成するのが好ましい。

【0040】第4の方法では、基板上に第1の非晶質ケイ素膜を線状に形成し、その一部に第1の非晶質ケイ素膜の結晶化を助長する触媒元素を選択的に導入する。この第1の非晶質ケイ素膜を加熱により結晶化させると、

該触媒元素が選択的に導入された領域から、該第1の非晶質ケイ素膜の線状パターンの方向に沿って基板表面に対して概略平行な方向に結晶成長が行われ、針状結晶または柱状結晶が得られる。この針状結晶または柱状結晶の上に第2の非晶質ケイ素膜を形成し、熱加熱、レーザー光照射または強光の照射により、針状結晶または柱状結晶を種結晶として結晶成長させる。上記第1の非晶質ケイ素膜を結晶化して得られる線状の結晶性ケイ素の線幅は、結晶粒界の存在しない単結晶状態とするためには、200nm以下に形成するのが好ましい。

【0041】

【実施例】以下、本発明の実施例について、図面を参照しながら説明する。尚、以下の実施例で得られるTFTは、アクティブマトリクス型液晶表示装置のドライバー回路や画素部分は勿論のこと、同一基板上にCPUが構成された素子にも使用することができる。また、これらTFTの応用範囲としては、液晶表示装置のみでなく、一般に薄膜集積回路と称される半導体装置全てに利用することができる。

【0042】（実施例1）本実施例では、ガラス基板上に形成されたN型TFTに本発明を利用した場合について説明する。

【0043】図1は、結晶性ケイ素膜の作製工程の概要を示す平面図である。図2は図1のA-A'線断面図、図3は図1のB-B'線断面図であり、図2(A)→図2(D)→図3(E)→図3(I)の順に従って工程が進行する。図4は、図3(I)の後に行う工程を示す断面図である。

【0044】図4(M)に、本実施例のTFTの断面図を示す。このTFTにおいては、ガラス基板101上に、基板からの不純物の拡散を防止する為、酸化ケイ素からなる下地膜102が形成され、その上に、ソース/ドレイン領域116、117およびチャネル領域を有する結晶性ケイ素からなる活性領域112が形成され、その上に酸化ケイ素からなるゲート絶縁膜113が形成されている。

【0045】ゲート絶縁膜113の上にチャネル領域と対向するように、例えばアルミニウム膜からなるゲート電極114が形成され、その表面にゲート電極114を陽極酸化してなる酸化物質層115が形成されている。酸化物質層115の上を覆って、酸化ケイ素または窒化ケイ素からなる層間絶縁膜118が形成され、さらにその上に金属材料、例えば窒化チタンとアルミニウムとの多層膜からなるTFTの電極・配線119、120が形成されている。この電極・配線119、120は、ゲート絶縁膜113および層間絶縁膜118に形成されたコンタクトホールを介してソース/ドレイン領域116、117と電気的に接続されている。

【0046】この構成のTFTは、以下のようにして作製することができる。まず、図1～図3を用いて、TFT

Tの活性領域を構成する結晶性ケイ素膜の作製工程までを説明する。

【0047】図2(A)に示すように、ガラス基板101上に、例えばスパッタリング法により厚さ200nm程度の酸化ケイ素からなる下地膜102を形成する。その上に、例えば減圧CVD法またはプラズマCVD法により80nmの第1の真性(I型)非晶質ケイ素膜103を成膜する。非晶質ケイ素膜103の厚さとしては、25~100nmの範囲であればよい。

【0048】次に、厚さ50nm程度の酸化ケイ素膜または窒化ケイ素膜等の絶縁性薄膜によりマスク104を形成し、これを選択的に除去して触媒元素注入窓105を開ける。この状態を基板上面から見ると、図1に示す触媒元素注入窓105を通して、図2(A)に示すように第1の非晶質ケイ素膜103が露呈され、他の部分はマスクされた状態となっている。

【0049】その後、図2(B)に示すように、例えば酢酸ニッケルまたは硝酸ニッケル等のニッケル塩の水溶液106を基板全面に塗布し、スピナーにて均一に乾燥させる。この水溶液中のニッケル濃度は50~200ppmが適当であり、好ましくは100ppmである。このとき、触媒元素注入窓105の形成された非晶質ケイ素膜103部分には、水溶液106のNiイオンが接触しているため、ニッケル微量添加($1 \times 10^{18} \text{cm}^{-3}$ 程度)が選択的に行われる。

【0050】次に、これを水素還元雰囲気下(好ましくは水素の分圧が0.1~1気圧)または不活性雰囲気下(大気圧)、加熱温度520~580℃で数時間~数十時間、例えば550℃で16時間アニールして結晶化させる。この際、ニッケル微量添加が選択的に行われた非晶質ケイ素膜103部分(窓105の部分)においては、基板101に対して垂直方向に第1の非晶質ケイ素膜103の結晶化が起り、結晶性ケイ素膜103aが形成される。また、窓105の部分の周辺領域では、図2(C)の矢印107に示すように、非晶質ケイ素膜103部分(窓105の部分)から横方向(基板101と平行な方向)に結晶成長が起り、横方向に結晶成長した結晶性ケイ素膜103bが形成される。それ以外の領域では、非晶質ケイ素膜はそのまま非晶質ケイ素膜103cとして残される。なお、上述した結晶成長に際し、矢印107で示される基板と平行な方向の結晶成長の距離は、80μm程度である。

【0051】その後、図2(D)に示すように、マスク104を除去する。ここで、図2(C)または図2(D)は、図1においてA-A'で切断した断面に対応する。

【0052】上記横方向に結晶成長した結晶性ケイ素膜103bの結晶成長先端部分の拡大平面図を図1の下側に示す。この結晶性ケイ素膜103bは、針状結晶または柱状結晶で構成されており、結晶成長方向に沿ってこ

れらの結晶が整然と並んでいる。膜面上側から見た一本の針状結晶または柱状結晶の幅は、80~100nmである。これは、出発非晶質ケイ素膜103の膜厚を80nmとした場合であり、出発非晶質ケイ素膜103の膜厚を50nmとすれば、一本の針状結晶または柱状結晶の幅は150~200nmに広がる。また、上記結晶性ケイ素膜103bを図1のB-B'線断面から眺めると、図3(E)に示すように、膜厚方向には単一の結晶粒しか存在しない。

【0053】引き続き、図3(F)に示すように、結晶性ケイ素膜103a、103b領域および非晶質ケイ素膜103c領域を有するケイ素膜103上に、膜厚10~100nm、例えば20nmの酸化ケイ素膜または窒化ケイ素膜などの絶縁性薄膜108を設ける。

【0054】次に、図3(G)に示すように、横方向に成長された結晶性ケイ素膜103bの結晶成長方向107(例えば図1のA-A'線の方向)に沿った線状の境界を持つよう絶縁性薄膜108と結晶性ケイ素膜103bとを部分的に、例えばエッチングにより除去する。結晶性ケイ素膜103bは、エッチングされたラインに沿って、その側面が露呈した状態となる。ここで、露呈した結晶性ケイ素膜103bの側面部の結晶109は、一本の針状結晶または柱状結晶の側面部であり、結晶粒界がほとんど存在せず、非常に単結晶に近い状態を示す。

【0055】次に、図3(H)に示すように、例えば減圧CVD法またはプラズマCVD法により、厚さ100nm程度の第2の非晶質ケイ素膜110を成膜し、これにレーザー光111を照射する。非晶質ケイ素膜110の厚み範囲としては、50~200nmであればよい。レーザー照射により、第2の非晶質ケイ素膜110は、針状結晶または柱状結晶109を種結晶として結晶化されて結晶性ケイ素膜110となる。ここでは、レーザー光111としてKrFエキシマレーザー(波長248nm、パルス幅20ns)を用いたが、他のレーザーを用いてもよい。照射条件はエネルギー密度200~400mJ/cm²、例えば300mJ/cm²として一カ所につき数ショット照射した。照射時に、基板を200~400℃に加熱すると、さらに効果を増大させることができる。

【0056】その後、図3(I)に示すように、TFTの活性領域(素子領域)112となる結晶性ケイ素膜110部分を残してそれ以外の領域をエッチング除去し、素子間分離を行う。以上により得られた結晶性ケイ素膜領域112は、単結晶シリコンに極めて近い良好な結晶性を示し、ガラス基板上に形成される結晶性ケイ素膜としては、過去に全く例が無いような高品質な結晶性ケイ素膜を得ることができる。

【0057】このようにして得られた結晶性ケイ素膜を用いてN型TFTを作製する工程について、図4を参照しながら説明する。

【0058】まず、図4（J）に示すように、活性領域となる結晶性ケイ素膜112を覆うように厚さ20～150nm、例えば100nmの酸化ケイ素膜からなるゲート絶縁膜113を成膜する。このゲート絶縁膜113の形成は、ここではTEOSを原料として、RFプラズマCVD法により、酸素と共に基板温度150～600℃、好ましくは300～450℃で分解・堆積した。他の方法として、TEOSを原料として、減圧プラズマCVD法または常圧CVD法により、オゾンガスと共に基板温度350～600℃、好ましくは400～550℃で形成してもよい。

【0059】成膜後、ゲート絶縁膜113自身のバルク特性、および結晶性ケイ素膜とゲート絶縁膜との界面特性を向上させるために、不活性ガス雰囲気下で400～600℃で30～60分のアニールを行った。

【0060】引き続き、スパッタリング法により厚さ400～800nm、例えば600nmのアルミニウムを成膜する。このアルミニウム膜を図4（K）に示すようにパターニングしてゲート電極114を形成し、さらにその表面を陽極酸化して表面に酸化物層115を形成する。この陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液中で行い、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持することにより反応を終了させた。得られた酸化物層115の厚さは200nmであった。ここで、酸化物層115の厚みは、後のイオンドーピング工程でオフセットゲート領域を形成するので、オフセットゲート領域の長さをこの陽極酸化工程で決めることができる。また、この酸化物層115を形成することにより、後の工程でゲート電極114を構成するアルミニウム膜にヒロックが発生することを防止することができる。

【0061】続いて、イオンドーピング法により、ゲート電極114とその周囲の酸化物層115をマスクとして、活性領域112に不純物（リン）を注入する。ドーピングガスとして、フォスフィン（PH₃）を用い、加速電圧を60～90kV、例えば80kVとし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、不純物が注入された領域116と117とは、後にTFTのソース／ドレイン領域となり、ゲート電極114と酸化物層115とによりマスクされて不純物が注入されない領域は、後にTFTのチャネル領域となる。

【0062】その後、図4（L）に示すように、レーザー光の照射によりアニールを行ってイオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。ここでは、レーザー光としてXeClエキシマレーザー（波長308nm、パルス幅40ns）を用いて照射した。レーザー光の照射条件は、エネルギー密度が150～400mJ/cm²、好ましくは200～250mJ/cm²

である。このようにして形成されたN型不純物（リン）領域116、117のシート抵抗は200～800Ω/□であった。なお、他のレーザーを用いてもよい。

【0063】続いて、図4（M）に示すように、厚さ6000オングストローム程度の酸化ケイ素膜または窒化ケイ素膜からなる層間絶縁膜118を、例えばプラズマCVD法により形成する。ここで、酸化ケイ素膜を形成する場合には、TEOSを原料として使用し、酸素と共にRFプラズマCVD法により分解・堆積する方法、もしくはTEOSを原料として使用し、オゾンガスと共に減圧プラズマCVD法または常圧CVD法により分解・堆積する方法により形成すると、段差被覆性に優れた良好な層間絶縁膜が得られる。また、窒化ケイ素膜を形成する場合には、SiH₄とNH₃とを原料ガスとしてプラズマCVD法により成膜すると、活性領域とゲート絶縁膜との界面へ水素を供給でき、結晶性ケイ素膜中の不對結合手を低減する効果があり、TFT特性を向上させることができる。

【0064】次に、層間絶縁膜118にコンタクトホールを形成して、金属材料、例えば窒化チタンとアルミニウムとの多層膜によってTFTの電極・配線119、120を形成し、ソース／ドレイン領域116、117と接続させる。上記多層膜は、窒化チタン膜上にアルミニウム膜が存在する構成であり、窒化チタン膜は半導体層へのアルミニウムの拡散を防止する役割を果たす。以下の実施例でも同様である。

【0065】最後に、1気圧の水素雰囲気下で350℃、30分のアニールを行い、TFTを完成させる。

【0066】得られたTFTは、アクティブマトリクス型液晶表示装置の周辺ドライバー回路や画素部分のスイッチング素子、またはCPUが構成された薄膜集積回路に使用することができる。画素電極のスイッチング素子として用いる場合には、電極119または120をITO等の透明導電膜からなる画素電極に接続し、もう一方の電極から信号を入力する構成とする。また、CPU等の薄膜集積回路に用いる場合には、ゲート電極114上にもコンタクトホールを形成し、必要とする配線を形成してゲート電極114と接続させる構成とする。

【0067】このようにして得られたN型TFTにおいては、活性領域112が単結晶シリコンに極めて近い良好な結晶性を有する結晶性ケイ素膜からなるので、200～300cm²/Vsという非常に高い電界効果移動度を示した。

【0068】（実施例2）本実施例では、ガラス基板上に形成されたN型TFTとP型TFTとを相補型に構成したCMOS構造の回路に本発明を利用した場合について説明する。

【0069】図5は、結晶性ケイ素膜の作製工程の概要を示す平面図である。図6は図5のC-C'線断面図、図7は図5のD-D'線断面図であり、図6（A）→図

6 (D) → 図7 (E) → 図7 (I) の順に従って工程が進行する。図8は、CMOS構造の回路の作製工程を示す断面図であり、(J) → (M) の順に従って工程が進行する。

【0070】図8 (M) に、本実施例のCMOS構造の回路の断面図を示す。この回路においては、ガラス基板201上に、基板からの不純物の拡散を防止する為に、酸化ケイ素からなる下地膜202が形成されている。その上には、ソース/ドレイン領域217、218およびチャネル領域を有する結晶性ケイ素からなるN型TFTの活性領域212と、ソース/ドレイン領域219、220およびチャネル領域を有する結晶性ケイ素からなるP型TFTの活性領域213とが形成されている。

【0071】活性領域212と213が形成された基板201の上には、酸化ケイ素からなるゲート絶縁膜214が形成され、各TFTのチャネル領域と対向するようにアルミニウム膜からなるゲート電極215、216が形成されている。その上を覆って、酸化ケイ素からなる層間絶縁膜221が形成され、さらにその上に、金属材料、例えば窒化チタンとアルミニウムの多層膜からなるTFTの電極・配線222、223、224が形成されている。この電極・配線222、223、224は、ゲート絶縁膜214および層間絶縁膜221に形成されたコンタクトホールを介してソース/ドレイン領域217、218、219、220と電気的に接続されている。

【0072】このCMOS構造回路は、以下のようにして作製することができる。まず、図5～図7を用いて、TFTの活性領域を構成する結晶性ケイ素膜の作製工程までを説明する。

【0073】図6 (A) に示すように、ガラス基板201上に、例えばスパッタリング法により厚さ100nm程度の酸化ケイ素からなる下地膜202を形成する。その上に、減圧CVD法により、厚さ25～100nm、例えば50nmの第1の真性 (I型) 非晶質ケイ素膜203を成膜する。

【0074】次に、厚さ50nm程度の酸化ケイ素膜または窒化ケイ素膜等の絶縁性薄膜によりマスク204を形成し、これを選択的に除去して触媒元素注入窓205を開ける。この状態を基板上面から見ると、図5に示す触媒元素注入窓205を通して、図6 (A) に示すように第1の非晶質ケイ素膜203が露呈され、他の部分はマスクされた状態となっている。

【0075】その後、図6 (B) に示すように、例えばスパッタリング法により厚さ2nmのケイ化ニッケル膜206 (NiSi_x , $0.4 \leq x \leq 2.5$ 、例えば2.0) を成膜する。ケイ化ニッケル膜206の厚み範囲としては、0.5～20nmが適当である。この成膜により、触媒元素注入窓205の形成された非晶質ケイ素膜203部分にニッケル微量添加 ($1 \times 10^{18} \text{cm}^{-3}$ 程

度) が選択的に行われる。これを水素還元雰囲気下または不活性雰囲気下、例えば加熱温度550℃で16時間アニールして結晶化させる。

【0076】この際、ニッケル微量添加が選択的に行われた非晶質ケイ素膜203部分 (窓205の部分) においては、基板201に対して垂直方向に第1の非晶質ケイ素膜203の結晶化が起こり、結晶性ケイ素膜203aが形成される。また、非晶質ケイ素膜203部分 (窓205の部分) の周辺領域では、図6 (C) の矢印207に示すように、結晶性ケイ素膜203aから横方向

(基板201と平行な方向) に結晶成長が起こり、横方向に結晶成長した結晶性ケイ素膜203bが形成される。それ以外の領域では、非晶質ケイ素膜はそのまま非晶質ケイ素膜203cとして残される。上記結晶成長に際し、矢印207で示される基板と平行な方向の結晶成長の距離は、80μm程度である。その後、図6 (D) に示すように、マスク204を除去する。ここで、図6 (C) および図6 (D) は、図5においてC-C' で切斷した断面に対応する。

【0077】上記横方向に結晶成長した結晶性ケイ素膜203bは、実施例1と同様に針状結晶または柱状結晶で構成されており、結晶成長方向に沿ってこれらの結晶が整然と並んでいる。膜面上側から見た一本の針状結晶または柱状結晶の幅は、150～200nmである。これは、出発非晶質ケイ素膜の膜厚を80nmとした場合である。この結晶性ケイ素膜203bを、図5のD-D' 線断面から眺めると、図7 (E) に示すように、膜厚方向には単一の結晶粒しか存在しない。

【0078】引き続き、図7 (F) に示すように、横方向に成長された結晶性ケイ素膜203bを、その結晶成長方向に沿った線状にパターニングし、後に種結晶として用いられる島状の結晶性ケイ素膜209を形成する。この島状の結晶性ケイ素膜209を基板上面から見ると、図5に示すような配置となっている。この時、線状パターンの線幅Xを針状結晶または柱状結晶の結晶幅と同程度以下、具体的には200nm以下にすると、島状の結晶性ケイ素膜209に結晶粒界が存在しないか、あるいは1つだけ存在する状態となって、単結晶に近い良好な結晶性を得ることができる。また、線状パターンの線幅Xを200nm以上にした場合、島状の結晶性ケイ素209の中に2本以上の針状結晶または柱状結晶が並ぶことになるが、その両端の部分は各々一本の針状結晶または柱状結晶により構成されているので、これを種結晶としてD-D' 線方向へ結晶成長させる場合には、素子領域として用いてもとりわけ問題は生じない。この実施例では、線状パターンの線幅Xを200nmとして島状の結晶性ケイ素膜209を形成した。

【0079】次に、図7 (G) に示すように、例えば減圧CVD法により厚さ100nm程度の第2の非晶質ケイ素膜210を成膜する。この非晶質ケイ素膜210の

厚み範囲は、50～200 nmが適当である。

【0080】次に、図7(H)に示すようにレーザー光211を照射する。これにより第2の非晶質ケイ素膜210は、島状の結晶性ケイ素（針状結晶または柱状結晶）209を種結晶として結晶化されて結晶性ケイ素膜210となる。ここではレーザー光211としてXeClエキシマレーザー（波長308 nm、パルス幅40 nsec）を用いた。レーザー光の照射条件としては、照射時に基板温度を200～450℃に加熱し、エネルギー密度を200～400 mJ/cm²にして照射を行った。

【0081】その後、図7(I)に示すように、TFTの活性領域（素子領域）212、213となる結晶性ケイ素膜210を残してそれ以外の領域をエッチング除去し、素子間分離を行う。以上により得られた結晶性ケイ素膜領域212、213は、単結晶シリコンに極めて近い良好な結晶性を示し、高品質な結晶性ケイ素膜を得ることができる。

【0082】このようにして得られた結晶性ケイ素膜を用いてN型TFTとP型TFTとを相補型に構成したCMOS構造の回路を作製する工程について、図8を参照しながら説明する。

【0083】まず、図8(J)に示すように、活性領域となる結晶性ケイ素膜212、213を覆うように厚さ100 nmの酸化ケイ素膜からなるゲート絶縁膜214を成膜する。ここでは、スパッタリング法によりゲート絶縁膜214を形成した。また、ターゲットとしては酸化ケイ素を用い、基板を350℃に加熱し、スパッタリング雰囲気は酸素とアルゴンとを用い、アルゴン/酸素=0.1以下とした。基板温度の範囲は200～400℃が適当であり、アルゴン/酸素の範囲は0～0.5が適当である。

【0084】引き続いて、例えばスパッタリング法により厚さ600 nmのアルミニウム膜を成膜する。アルミニウム膜の厚み範囲は400～800 nmが適当である。このアルミニウム膜を図8(K)に示すようにパターンニングしてゲート電極215、216を形成した。

【0085】続いて、例えばイオンドーピング法により、ゲート電極215、216をマスクとして、活性領域212に不純物（リン）を、また、活性領域213に不純物（ホウ素）を注入する。ドーピングガスとして、フォスフィン（PH₃）およびジボラン（B₂H₆）を用い、前者は加速電圧を60～90 keV、例えば80 keVとし、後者は加速電圧を40～80 keV、例えば65 keVとする。ドーピング量は1×10¹⁵～8×10¹⁵ cm⁻²、例えばリンを2×10¹⁵ cm⁻²、ホウ素を5×10¹⁵ cm⁻²とする。この工程により、不純物が注入された領域217、218、219、220は、後にTFTのソース/ドレイン領域となり、ゲート電極215、216によりマスクされて不純物が注入されない領域

は、後にTFTのチャネル領域となる。上記ドーピングに際しては、ドーピングが不要な領域をフォトレジストで覆うことにより、それぞれの元素を選択的にドーピングすることができる。この結果、N型の不純物領域217、218と、P型の不純物領域219、220とが形成され、図8(M)に示すように、Nチャネル型TFTとPチャネル型TFTとを形成することができる。

【0086】その後、図8(L)に示すように、レーザー光の照射によりアニールを行ってイオン注入した不純物の活性化を行う。ここではレーザー光としてKrFエキシマレーザー（波長248 nm、パルス幅20 nsec）を用い、照射条件はエネルギー密度250 mJ/cm²として一カ所につき数ショット照射した。

【0087】続いて、図8(M)に示すように、例えばプラズマCVD法により厚さ600 nm程度の酸化ケイ素膜からなる層間絶縁膜221を形成する。これにコンタクトホールを形成して、金属材料、例えば窒化チタンとアルミニウムの多層膜によってTFTの電極・配線222、223、224を形成し、ソース/ドレイン領域217、218、219、220と接続させる。最後に水素プラズマ雰囲気中350℃、30分のアニールを行い、TFTを完成させる。

【0088】このようにして得られたCMOS構造の回路において、N型TFTの電界効果移動度は200～300 cm²/Vs、P型TFTの電界効果移動度は150～230 cm²/Vsという非常に高い値を示した。

【0089】（実施例3）本実施例では、実施例1および2と異なる方法を用いて結晶性ケイ素膜を作製した。図9は、本実施例における結晶性ケイ素膜の作製工程の概要を示す平面図である。図10は図9のF-F'線断面図であり、図10(E)→図10(I)の順に従って工程が進行する。

【0090】まず、実施例1の図2または実施例2の図6に示した工程と同様にして、ガラス基板301上に横方向に結晶成長した結晶性ケイ素膜303bを形成する。図9において、305は選択的にニッケル微量添加が行われた領域を示し、この領域では縦方向（基板301に垂直な方向）に結晶性ケイ素膜303aが形成される。また、領域305の周辺領域では、矢印307に示すように、領域305から横方向（基板301と平行な方向）に結晶成長が起こり、横方向に結晶成長した結晶性ケイ素膜303bが形成される。それ以外の領域では、非晶質ケイ素膜はそのまま非晶質ケイ素膜として残される。図9においてE-E'線で切断した断面は、図2の(C)、(D)および図6の(C)、(D)に対応する。

【0091】上記横方向に結晶成長した結晶性ケイ素膜303bは、針状結晶または柱状結晶で構成されており、結晶成長方向に沿ってこれらの結晶が整然と並んでいる。この結晶性ケイ素膜303bを、図9のF-F'

線断面から眺めると、図10(E)に示すように、膜厚方向には単一の結晶粒しか存在しない。

【0092】引き続いて、図10(F)に示すように、結晶性ケイ素膜303a、303b領域および非晶質ケイ素膜領域を有するケイ素膜303上に、膜厚10~100nm、例えば20nmの酸化ケイ素膜などの絶縁性薄膜308を設ける。続いて、横方向に成長された結晶性ケイ素膜303bの結晶成長方向307に沿った線状に酸化ケイ素膜308を部分的に除去する。この状態を基板上方から見ると、図9に示すように、絶縁性薄膜308に設けられたスリット状窓309を通して結晶性ケイ素膜303bが露呈した状態となる。この時、スリット状窓309の幅X'を針状結晶または柱状結晶の結晶幅と同程度以下、具体的には200nm以下にすると、スリット状窓309を通して露呈している結晶性ケイ素膜303bの中には結晶粒界が存在しないか、あるいは1つだけ存在する状態となって、種結晶として良好な結晶性を得ることができる。スリット状窓の幅X'を200nm以上にした場合、スリット状窓309を通して露呈している結晶性ケイ素膜303bの中に2本以上の針状結晶または柱状結晶が並ぶことになるが、その両端の部分は各々一本の針状結晶または柱状結晶により構成されているので、これを種結晶としてF-F'線方向へ結晶成長させる場合には、素子領域として用いてもとりわけ問題は生じない。この実施例では、スリット状窓の幅X'を500nmとして、絶縁性薄膜308にスリット状窓309を開口した。

【0093】次に、図10(G)に示すように、例えば減圧CVD法により厚さ50nm程度の第2の非晶質ケイ素膜310を成膜し、窒素等の不活性ガス雰囲気中、550~600℃で数十時間の熱処理を行う。これにより第2の非晶質ケイ素膜310は、スリット状窓309を通して露呈している、針状結晶または柱状結晶の結晶性ケイ素膜303b部分を種結晶として結晶化されて結晶性ケイ素膜310となる。この時、図10(H)に示すように、スリット状窓309の上部においては、その下の横方向結晶性ケイ素膜303bの結晶性を反映して結晶粒界Tが現れるが、スリット状窓309の両端からは結晶粒界の無い結晶性ケイ素膜310が形成される。

【0094】その後、図10(I)に示すように、TFTの活性領域(素子領域)312となる部分を残して結晶性ケイ素膜310をパターニングし、それ以外の領域をエッチング除去して素子間分離を行う。以上により得られた結晶性ケイ素膜領域312は、単結晶シリコンに極めて近い良好な結晶性を示し、ガラス基板上に形成される結晶性ケイ素膜としては、極めて高品質な結晶性ケイ素膜を得ることができる。

【0095】このようにして得られた結晶性ケイ素膜領域312をTFTの活性領域として、実施例1または2と同様にして目的とする半導体装置を作製する。

【0096】得られる半導体装置においては、TFTの活性領域312が単結晶シリコンに極めて近い良好な結晶性を有する結晶性ケイ素膜からなるので、非常に高い電界効果移動度を得ることができた。

【0097】(実施例4)本実施例では、実施例1、2および3と異なる方法を用いて結晶性ケイ素膜を作製した。図11は、結晶性ケイ素膜の作製工程の概要を示す平面図である。図12は図11のG-G'線断面図であり、図13は図11のH-H'線断面図であり、図12(A)→図12(E)→図13(F)→図13(I)の順に従って工程が進行する。

【0098】まず、ガラス基板401上に、例えばスパッタリング法により厚さ100nm程度の酸化ケイ素からなる下地膜402を形成する。その上に、例えばプラズマCVD法により厚さ40nmの第1の真性(I型)非晶質ケイ素膜403を成膜する。非晶質ケイ素膜403の厚み範囲は25~100nmが適当である。

【0099】次に、この非晶質ケイ素膜403を線状にパターニングし、余分な部分を除去して、図11および図12(A)に示すような島状の非晶質ケイ素膜403を形成する。

【0100】次に、図12(B)に示すように、厚さ50nm程度の酸化ケイ素膜または窒化ケイ素膜等の絶縁性薄膜によりマスク404を形成し、これを選択的に除去して触媒元素注入窓405を開ける。この状態を基板上面から見ると、図11に示すように、触媒元素注入窓405を通して線状に形成された第1の非晶質ケイ素膜403の端部が露呈され、他の部分はマスクされた状態となっている。

【0101】その後、図12(C)に示すように、例えば蒸着法により厚さ1nmのニッケル膜406を成膜する。ニッケル膜406の厚み範囲は0.5~20nmが適当である。この成膜により、触媒元素注入窓405の形成された非晶質ケイ素膜403部分にニッケル微量添加($1 \times 10^{18} \text{ cm}^{-3}$ 程度)が選択的に行われる。これを水素還元雰囲気下または不活性雰囲気下、例えば加熱温度550℃で16時間アニールして結晶化させる。

【0102】この際、ニッケル微量添加が選択的に行われた非晶質ケイ素膜403部分(窓405の部分)においては、基板401に対して垂直方向に第1の非晶質ケイ素膜403の結晶化が起こり、結晶性ケイ素膜403aが形成される。また、結晶性ケイ素膜403aの周辺領域では、図12(D)の矢印407に示すように、結晶性ケイ素膜403aから横方向(基板401と平行な方向)に結晶成長が起こり、横方向に結晶成長した結晶性ケイ素膜403bが形成される。このとき、線状の非晶質ケイ素膜403の線幅X'を200nm以下にすると、得られる結晶性ケイ素膜403bは結晶粒界が存在しない単結晶状態のケイ素膜となる。これは、横方向に成長された結晶性ケイ素膜403bを構成する針状結晶

または柱状結晶の一本の結晶幅が200nm程度であるので、線状にパターンニングされた非晶質ケイ素膜403が一本の針状結晶または柱状結晶として結晶化されるからである。

【0103】その後、図12(E)に示すように、ニッケル微量添加が行われた非晶質ケイ素膜403部分(窓405の部分)に形成された結晶性ケイ素膜403aとマスク404とを除去して図12(E)に示すような島状の結晶性ケイ素膜403bを得る。この状態を図11のH-H'線断面から見ると、図13(F)のようになる。

【0104】引き続いて、図13(G)に示すように、例えば減圧CVD法により厚さ80nm程度の第2の非晶質ケイ素膜410を成膜し、図13(H)に示すようにレーザー光411を照射する。これにより第2の非晶質ケイ素膜410は、島状となっている針状結晶または柱状結晶の結晶性ケイ素膜403bを種結晶として結晶化されて結晶性ケイ素膜410となる。

【0105】その後、図13(I)に示すように、TFTの活性領域(素子領域)412となる結晶性ケイ素膜410を残してそれ以外の領域をエッチング除去し、素子間分離を行う。以上により得られた結晶性ケイ素膜領域412は、単結晶シリコンに極めて近い良好な結晶性を示し、ガラス基板上に形成される結晶性ケイ素膜としては、極めて高品質な結晶性ケイ素膜を得ることができる。

【0106】このようにして得られた結晶性ケイ素膜領域412をTFTの活性領域として、実施例1または2と同様にして目的とする半導体装置を作製する。

【0107】得られる半導体装置においては、TFTの活性領域412が単結晶シリコンに極めて近い良好な結晶性を有する結晶性ケイ素膜からなるので、非常に高い電界効果移動度を得ることができた。

【0108】以上、本発明の実施例について具体的に説明したが、本発明は上記実施例に限定されるものではなく、本発明の技術思想に基づいて各種の変形が可能である。

【0109】例えば上記実施例1~4において、ニッケルを導入する方法としては、第1の非晶質ケイ素膜103、203、303、403の表面にニッケル塩水溶液を塗布し、あるいはケイ化ニッケル薄膜またはニッケル薄膜(極めて薄いため膜として観察することは困難である)を形成することにより選択的にニッケル微量添加を行って、この部分から結晶成長を行う方法を採用した。しかし、第1の非晶質ケイ素膜103、203、303、403を形成する前に、その表面に選択的にニッケル微量添加を行う方法でもよい。即ち、ニッケル微量添加は非晶質ケイ素膜の上面に行っても下面に行ってもよく、結晶成長は非晶質ケイ素膜の上面側から行っても下面側から行ってもよい。また、予め非晶質ケイ素膜を成

膜し、イオンドーピング法を用いてニッケルイオンを非晶質ケイ素膜に選択的に注入する方法を採用してもよい。この場合は、ニッケル元素の濃度を制御することができる。また、ニッケルの薄膜を成膜する代わりに、Ni電極を用いてプラズマ処理によりニッケル微量添加を行ってもよい。結晶化を助長する触媒元素としては、ニッケルを用いた場合に最も顕著な効果を得ることができるが、その他、コバルト、パラジウム、白金、銅、銀、金、インジウム、錫、アルミニウム、リン、ヒ素およびアンチモンを用いても同様な効果を得ることができる。これらの触媒元素から選択される一種または複数種類の元素であれば、微量($1 \times 10^{18} \text{cm}^{-3}$ 程度)でも結晶化を助長する効果を有するので、半導体素子に悪影響を及ぼすおそれがない。

【0110】上記実施例では結晶化に際して、パルスレーザーであるエキシマレーザー照射による加熱を行ったが、それ以外のレーザー(例えば連続発振レーザーであるArレーザー等)を用いても同様の加熱処理を行うことができる。また、レーザーの代わりに、レーザー光と同等の強行、例えば赤外光、フラッシュランプ等を使用して短時間に1000~1200℃(シリコンモニターの温度)まで上昇させて試料を加熱する所謂RTA(ラピッド・サーマル・アニール、または RTP(ラピッド・サーマル・プロセス)とも称する)等を用いてもよい。実施例3に示したように単なる熱加熱処理でも十分な効果が得られるが、レーザー光照射や強行照射を行った場合には、種結晶である針状結晶または柱状結晶の結晶性をそのまま反映した良好な結晶性ケイ素膜が得られる。

【0111】さらに、液晶表示用のアクティブマトリクス基板以外に本発明を適用することもできる。例えば、密着型イメージセンサー、ドライバー内蔵型サーマルヘッド、有機系ELなどを発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元ICなどの半導体装置などが挙げられ、本発明を適用することによりこれらの素子の高速化、高解像度化等の高性能化を実現することができる。さらに、上記実施例で説明したMOS型トランジスタに限らず、結晶性半導体を素子材料としたバイポーラトランジスタや静電誘導トランジスタを初めとして半導体プロセスおよび半導体装置全般に幅広く応用することができる。

【0112】

【発明の効果】以上の説明から明らかなように、本発明によれば、絶縁性表面を有する基板上に、結晶性を有するケイ素膜からなる活性領域が形成された半導体装置において、第1の非晶質ケイ素膜に結晶化を助長する触媒元素を導入して加熱することにより結晶成長させた針状結晶または柱状結晶を種結晶として、第2の非晶質ケイ素膜を結晶成長させた結晶性ケイ素膜を形成しているので、単結晶に非常に近い結晶性ケイ素膜を得ることがで

きる。この結晶性ケイ素膜を活性領域としてガラス基板上にTFTを形成すると、活性領域を単結晶シリコン基板を用いて形成した場合に匹敵する程の高移動度を有するTFTを得ることができる。安価なガラス基板上にこのような高移動度のTFTを再現性よく作製する技術は従来存在せず、本発明を液晶表示装置に用いることにより、1枚のガラス基板上にディスプレイ、X/Yドライバー、CPU、メモリーまでを搭載した、従来では不可能であった集積回路を実現することができる。

【図面の簡単な説明】

【図1】実施例1の半導体装置における結晶性ケイ素膜の作製工程の概要を示す平面図である。

【図2】図1のA-A'線断面図である。

【図3】図1のB-B'線断面図である。

【図4】実施例1の半導体装置の製造工程の概要を示す断面図である。

【図5】実施例2の半導体装置における結晶性ケイ素膜の作製工程の概要を示す平面図である。

【図6】図5のC-C'線断面図である。

【図7】図5のD-D'線断面図である。

【図8】実施例2の半導体装置の製造工程の概要を示す断面図である。

【図9】実施例3の半導体装置における結晶性ケイ素膜の作製工程の概要を示す平面図である。

【図10】図9のF-F'線断面図である。

【図11】実施例3の半導体装置における結晶性ケイ素膜の作製工程の概要を示す平面図である。

【図12】図11のG-G'線断面図である。

【図13】図11のH-H'線断面図である。

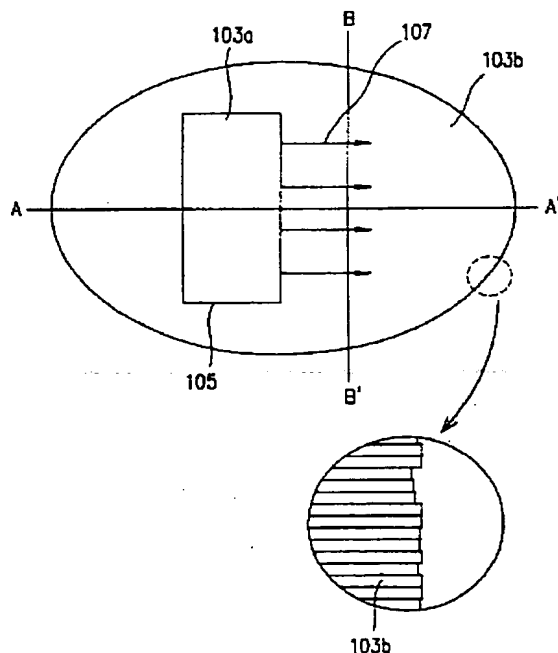
【図14】従来の半導体装置における結晶性ケイ素膜の作製工程の概要を示す平面図である。

【図15】液晶表示装置の電気光学システムのブロック図である。

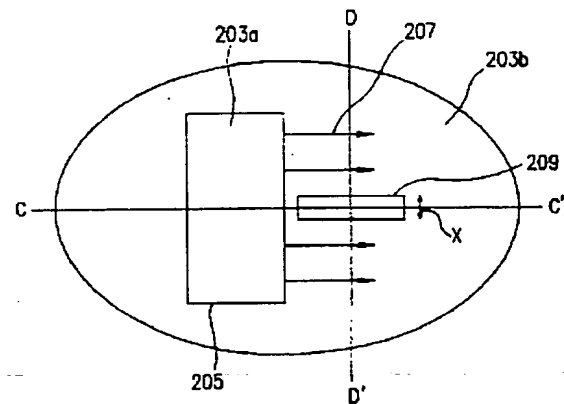
【符号の説明】

101、201、301、401 ガラス基板
 102、202、302、402 下地膜
 103、203、403 第1の非晶質ケイ素膜
 103a、203a、303a、403a 結晶性ケイ素膜
 103b、203b、303b、403b 結晶性ケイ素膜
 104、204、404 マスク
 105、205、405 触媒元素注入窓
 305 ニッケル微量添加領域
 107、207、307、407 結晶成長方向
 110、210、310、410 第2の非晶質ケイ素膜（結晶性ケイ素膜）
 112、212、213、312、412 活性領域
 113、214 ゲート絶縁膜
 114、215、216 ゲート電極
 115 酸化物層（陽極酸化層）
 116、117、217、218、219、220 ソース／ドレイン領域
 118、221 層間絶縁膜
 119、120、222、223、224 電極・配線

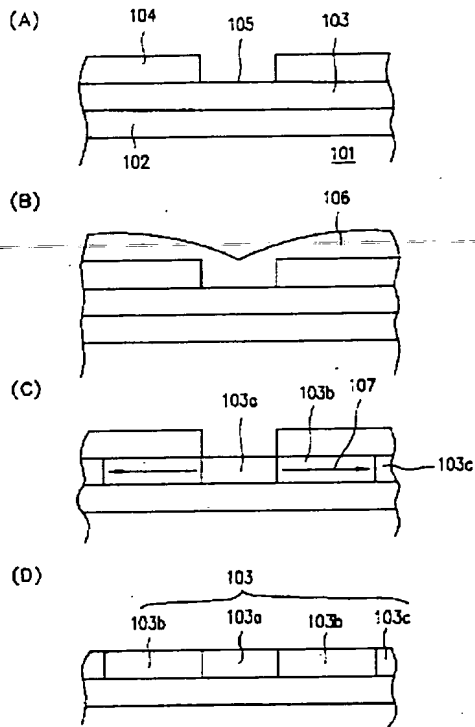
【図1】



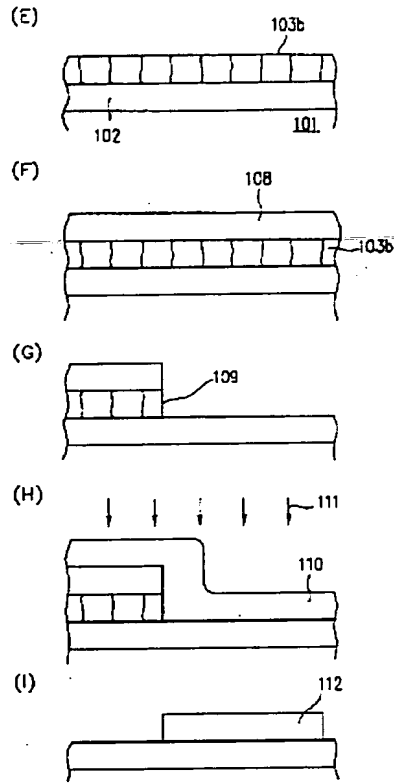
【図5】



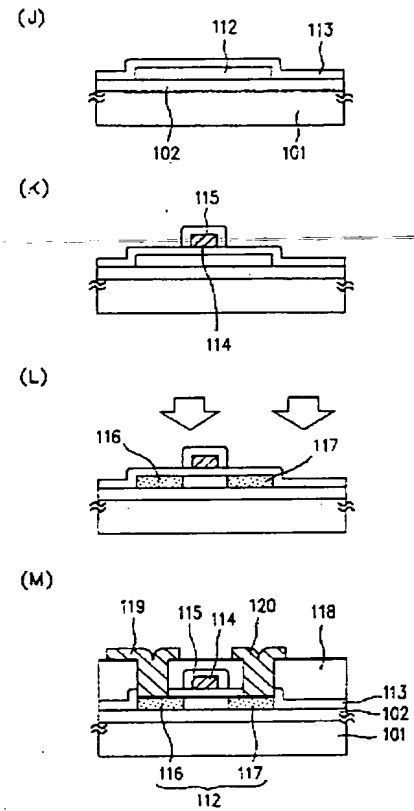
【図 2】



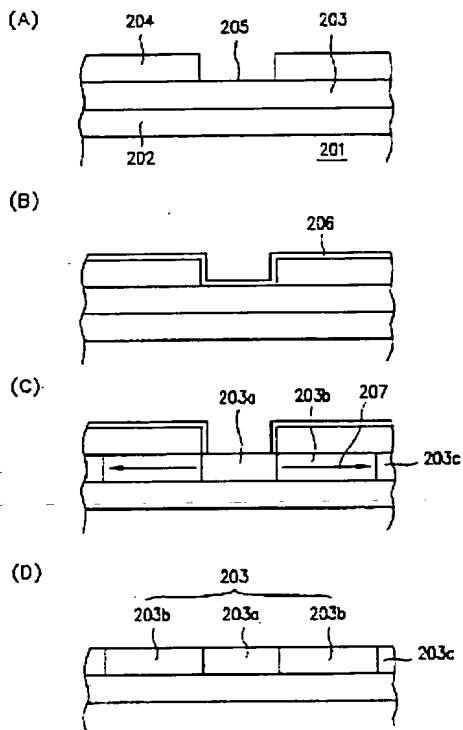
【図 3】



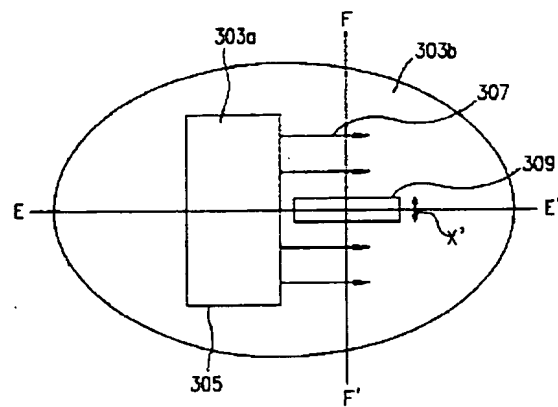
【図 4】



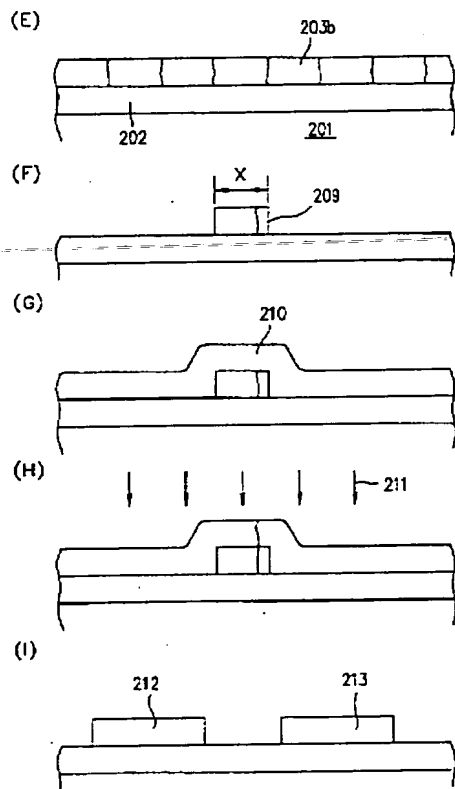
【図 6】



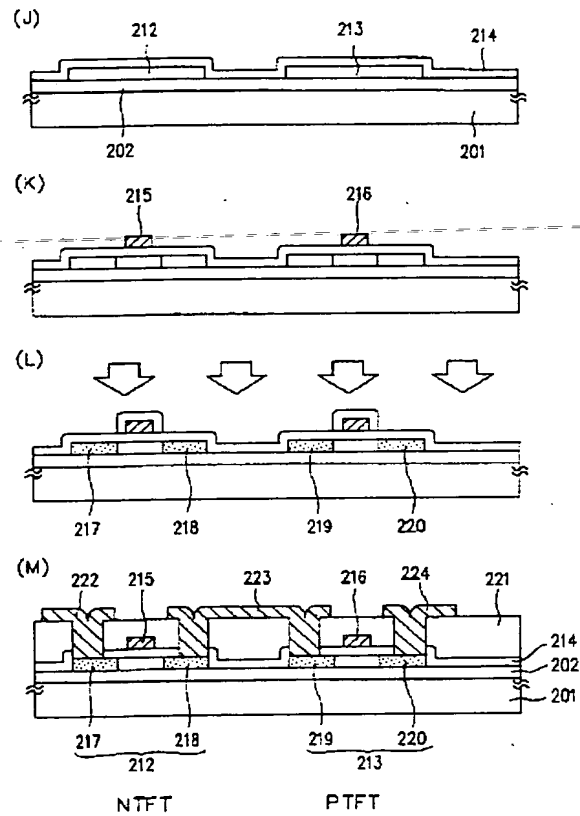
【図 9】



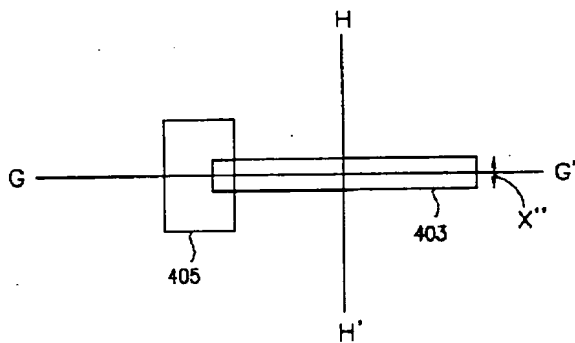
【図 7】



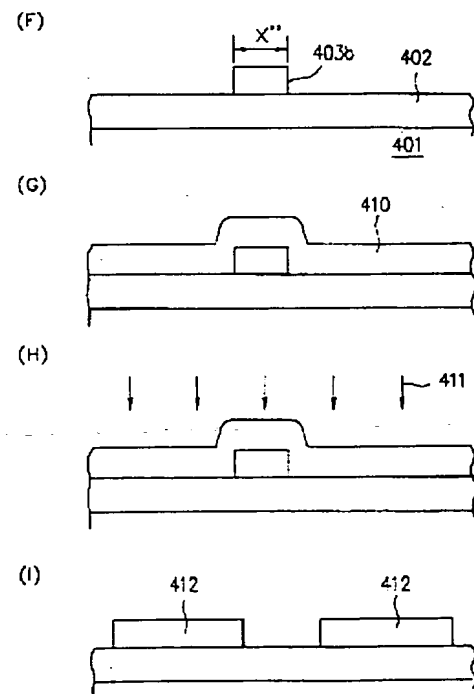
【図 8】



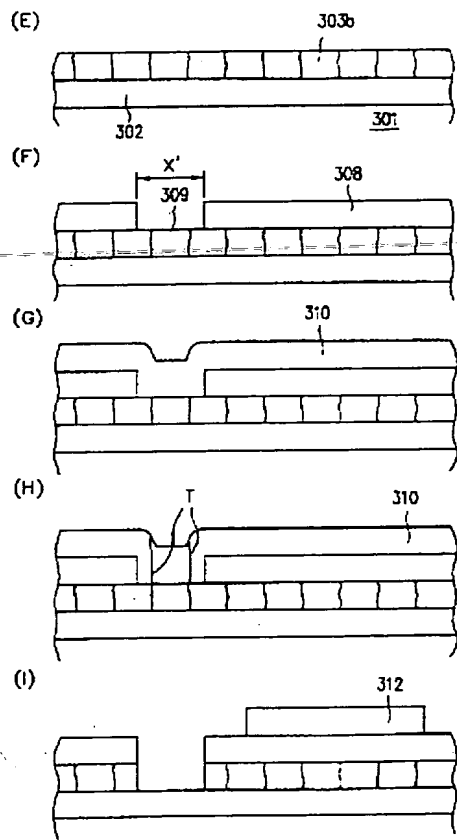
【図 11】



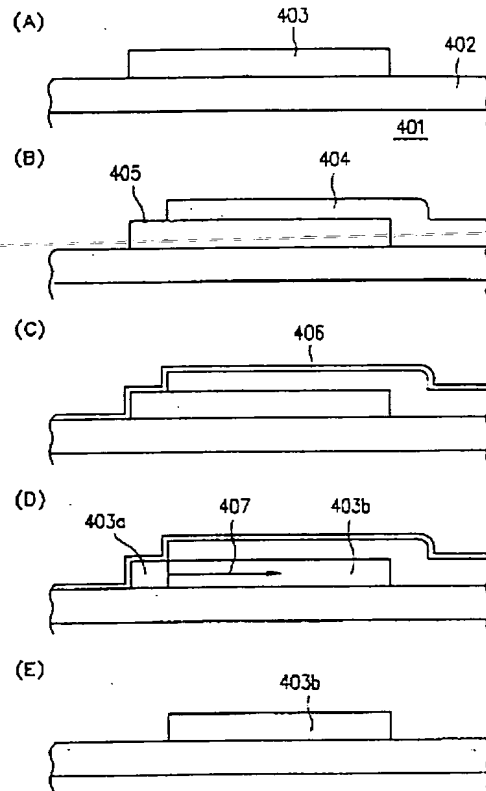
【図 13】



【図10】



【図12】



【図15】

